

副

手 続 補 正 書

(法第 11 条の規定による補正)

PCT

04.6.04

受領印

特許庁審査官

櫻 田 正 紀 殿

1. 國際出願の表示 P C T / J P 0 3 / 1 2 3 3 6

2. 出 願 人

名 称 株式会社ルネサステクノロジ
RENESAS TECHNOLOGY CORP.

あて名 〒 1 0 0 - 6 3 3 4
日本国東京都千代田区丸の内二丁目4番1号
4-1, Marunouchi 2-chome, Chiyoda-ku,
TOKYO 100-6334 JAPAN

国 籍 日本国 Japan
住 所 日本国 Japan

3. 代 理 人

氏 名 (8 0 0 0) 弁理士 筒 井 大 和
TSUTSUI, Yamato

あて名 〒 1 6 0 - 0 0 2 3
日本国東京都新宿区西新宿8丁目1番1号
アゼリアビル3階 筒井国際特許事務所
Tsutsui & Associates, 3F, Azeria Bldg.,
1-1, Nishi-shinjuku 8-chome, Shinjuku-ku,
TOKYO 100-6334 JAPAN



4. 補正の対象

請求の範囲

5. 補正の内容

- (1) 別紙の通り、請求の範囲第2項および第3項を削除する。
- (2) 別紙の通り、請求の範囲第1項、第4項、第5項、第7項、第8項、第9項、第10項、第11項、第12項、第13項、第14項を補正する。
- (3) 別紙の通り、請求の範囲第20項および第21項を追加する。

6. 添付書類の目録

請求の範囲 第16頁、第17頁、第18頁、第19頁、第20頁

請 求 の 範 囲

1. (補正後) 基本ポンプセルをN段接続し昇圧する昇圧回路であつて、

前記基本ポンプセルは、少なくとも第1MISFETと、第2MISFETと、第3MISFETと、第1キャパシタと、第4MISFETと、第2
5 のキャパシタとを有し、

前記第1MISFETのバックゲートは第1ノードに接続し、そのソースドレイン経路は、第2ノードと第3ノードとの間に接続され、

前記第2MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第2ノードとの間に接続し、

10 前記第3MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第3ノードとの間に接続し、

前記第1キャパシタの一端は前記第3ノードに接続し、その他端には動作電圧の振幅を有する第1のクロックが入力され、

前記第3ノードが、次段の前記基本ポンプセルの第2ノードに接続し、

15 前記第2キャパシタの一端は前記第1MISFETのゲートに接続し、その他端には前記動作電圧と前記第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ前記第1クロックと逆相である第2クロックが入力され、

前記第4MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は前記第2ノードと前記第1MISFETのゲートとの間に接続し、そのゲートは前段の前記基本ポンプセルを構成する前記第2キャパシタの前記一端に接続することを特徴とする昇圧回路。

2. (削除)

3. (削除)

4. (補正後) 基本ポンプセルをN段接続し昇圧する昇圧回路であって、

前記基本ポンプセルは、少なくとも第1MISFETと、第2MISFETと、第3MISFETと、第1キャパシタと、第4MISFETと、第2のキャパシタとを有し、

5 前記第1MISFETのバックゲートは第1ノードに接続し、そのソースドレイン経路は、第2ノードと第3ノードとの間に接続され、

前記第2MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第2ノードとの間に接続し、

前記第3MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第3ノードとの間に接続し、

前記第1キャパシタの一端は前記第3ノードに接続し、その他端には動作電圧の振幅を有する第1のクロックが入力され、

前記第3ノードが、次段の前記基本ポンプセルの第2ノードに接続し、

前記第2キャパシタの一端は前記第1MISFETのゲートに接続し、

15 その他端には前記動作電圧と前記第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ前記第1クロックと同相である第2クロックが入力され、

前記第4MISFETのソースドレイン経路は、前記第3ノードと前記第1MISFETのゲートとの間に接続し、そのゲートは前段の前記基本ポン

20 プセルを構成する前記第2キャパシタの前記一端に接続することを特徴とする昇圧回路。

5. (補正後) 請求項1記載の昇圧回路であって、

前記第1、2、3、4MISFETはn型のMISFETであって、

正側に電圧を昇圧することを特徴とする昇圧回路。

25 6. 請求項1記載の昇圧回路であって、

前記第1、2、3、4MISFETはp型のMISFETであって、

負側に電圧を昇圧することを特徴とする昇圧回路。

7. (補正後) 請求項4に記載の昇圧回路であって、

前記第1、2、3、4MISFETはn型のMISFETであって、負側に電圧を昇圧することを特徴とする昇圧回路。

8. (補正後) 請求項4に記載の昇圧回路であって、

前記第1、2、3、4MISFETはp型のMISFETであって、

5 正側に電圧を昇圧することを特徴とする昇圧回路。

9. (補正後) 請求項1または4に記載の昇圧回路であって、

前記動作電圧の2倍の電圧のクロックを生成する2倍圧クロック発生回路を有し、

前記2倍圧クロック発生回路が、前記第2クロックを生成することを特
10 徵とする昇圧回路。

10. (補正後) 請求項1または4に記載の昇圧回路であって、

前記基本ポンプセルの奇数段に入力される前記第1クロックと、その偶
数段に入力される前記第1クロックが逆相であり、

前記基本ポンプセルの奇数段に入力される前記第2クロックと、その偶
15 数段に入力される前記第2クロックが逆相であることを特徴とする昇圧回路。

11. (補正後) 基本ポンプセルをN段接続し昇圧する昇圧回路であって、

前記基本ポンプセルが、

n型であるトランスファーミスFETと、前記トランスファーミス
FETのドレインまたはソースのいずれか電位の低い方と、前記トランスファ
20 ミスFETのバックゲートとを接続する第1接続回路と、

前記トランスファーミスFETのゲートに容量を介して、動作電圧と
前記トランスファーミスFETの閾値電圧との和よりも大きな電圧振幅の電
圧を印加する回路と、

前記トランスファーミスFETのオフ状態のときに、前記トランスフ
25 ァーミスFETのゲートと、ドレインまたはソースとを接続する第2接続回
路とを有することを特徴とする昇圧回路。

12. (補正後) 請求項11に記載の昇圧回路であって、

前記第1接続回路は、第1基板制御MISFETと第2基板制御MISFETとから構成され、

前記第1、第2基板制御MISFETの一方が導通し、前記トランスマ
5 イスFETのドレインまたはソースのいずれか電位の低い方と、前記ト
ランスマイエットのバックゲートとを接続することを特徴とする昇圧
回路。

13. (補正後) 基本ポンプセルをN段接続し昇圧する昇圧回路であって、

前記基本ポンプセルが、

10 p型であるトランスマイエットと、

前記トランスマイエットのドレインまたはソースのいずれか電
位の高い方と、前記トランスマイエットとバックゲートとを接続する
第1接続回路と、

前記トランスマイエットのゲートに容量を介して、動作電圧と
15 前記トランスマイエットの閾値電圧との和よりも大きな電圧振幅の電
圧を印加する回路と、

前記トランスマイエットのオフ状態のときに、前記トランスマ
イエットのゲートと、ドレインまたはソースとを接続する第2接続回
路とを有することを特徴とする昇圧回路。

20 14. (補正後) 請求項13に記載の昇圧回路であって、

前記第1接続回路は、第1基板制御MISFETと第2基板制御MIS
FETとから構成され、

前記第1、第2基板制御MISFETの一方が導通し、前記トランスマ
イエットのドレインまたはソースのいずれか電位の高い方と、前記ト
ランスマイエットのバックゲートとを接続することを特徴とする昇圧
回路。

15. 請求項1に記載の昇圧回路であって、

正、負のいずれかに昇圧するかを選択する選択回路を有することを特徴
とする昇圧回路。

16. 請求項15に記載の昇圧回路であって、

前記選択回路は、

前記基本ポンプセルの初段または最終段のいずれか一方の第2ノードを前記動作電圧に接続する回路であり、他方の第3ノードを接地電位に接続する
5 ことを特徴とする昇圧回路。

17. 請求項1記載の昇圧回路であって、

直列型チャージポンプを有し、

前記直列型チャージポンプが、前記昇圧回路が出力する第1の電圧から第2の電圧を出力することを特徴とする昇圧回路。

10 18. 請求項1記載の昇圧回路により生成された電圧により、読み出し、書き込み、消去の少なくともいずれか一つを行うことを特徴とする不揮発性メモリー。

19. 請求項18記載の不揮発性メモリーを有することを特徴とするICカード。

15 20. (追加) 請求項11記載の昇圧回路であって、

前記第2接続回路は、ドレンソース経路が前記トランスマジックFETのゲートとドレンまたはソースとの間に接続され、ゲート値には前段のポンプセルにおける前記トランスマジックMOSのゲート電圧が印加されるゲート電圧設定MISFETであることを特徴とする昇圧回路。

20 21. (追加) 請求項13記載の昇圧回路であって、

前記第2接続回路は、ドレンソース経路が前記トランスマジックFETのゲートとドレンまたはソースとの間に接続され、ゲートには前段のポンプセルにおける前記トランスマジックMOSのゲート電圧が印加されるゲート電圧設定MISFETであることを特徴とする昇圧回路。